

KOREAN PATENT ABSTRACTS(KR)

Publication No.1020030010507

Publication.Date. 20030205

Application No.1020020043471

Application Date. 20020724

Abstract:

The present invention relates to a method for forming a semiconductor device including an isolation region of a trench isolation structure including a trench and an insulation layer buried in the trench. A gate electrode is formed in an active region adjacent to the isolation region of a semiconductor substrate and a first impurity diffusion region having an LDD structure is then formed in the active region of the substrate. After forming a first and second insulation layers are formed on the substrate, an etch-back process is performed using the first insulation layer as an etching stopper so that a first sidewall of the second insulation layer is formed on a sidewall of the gate electrode and a second sidewall of the first insulation layer is formed on the sidewall of the gate electrode. After forming a second impurity diffusion region in the active region as a source/drain region, an interlayer dielectrics is formed on the semiconductor substrate. A contact hole exposing the second impurity diffusion region is formed through the interlayer dielectrics.

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/76

(11) 공개번호 특2003-0010507
(43) 공개일자 2003년02월05일

(21) 출원번호 10-2002-0043471
(22) 출원일자 2002년07월24일
(30) 우선권주장 JP-P-2001-00224546 2001년07월25일 일본(JP)
(71) 출원인 닛뽀덴끼 가부시끼가이샤
일본국 도요교오도 미나토구 시바 5초오메 7반 1고
(72) 발명자 쿠마모토케이타
일본국도쿄도미나토구시바5-7-1닛뽀덴끼가부시끼가이샤내
(74) 대리인 최달용

심사청구 : 있음

(54) 반도체 장치의 제조 방법

요약

본 발명은 반도체 기판상에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법에 관한 것으로서, 상기 반도체 장치의 제조 방법은 상기 반도체 기판상의 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하고, LDD 영역으로 사용되는 제1의 불순물 확산 영역을 형성하는 공정과, 반도체 기판상에 제1의 절연막 및 제2의 절연막을 상기 순서로 형성하는 공정과, 제1의 절연막을 에칭 스톱퍼로 사용하여 에치백을 행하고, 게이트 전극의 측면상에 제1의 절연막을 통하여 제2의 절연막으로 이루어지는 제1의 측벽을 형성하는 공정과, 전면 에치백을 실행하여 제1의 절연막을 에칭하여 게이트 전극의 측면상에 제1의 절연막으로 이루어지는 제2의 측벽을 형성하는 공정과, 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성한 후, 반도체 기판상에 층간 절연막을 형성하고 제2의 불순물 확산 영역까지 도달하는 콘택트 홀을 형성하는 공정을 포함한다.

대표도

도3

색인어

반도체 장치, 리크, 콘택트 홀, 에칭 스톱퍼

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 장치의 제조 방법의 제1의 실시예의 공정을 순차적으로 도시하는 개략 단면도.
도 2는 본 발명에 따른 반도체 장치의 제조 방법의 제1의 실시예의 공정을 순차적으로 도시하는 다른 개략 단면도.
도 3은 본 발명에 따른 반도체 장치의 제조 방법의 제1의 실시예의 공정을 순차적으로 도시하는 또 다른 개략 단면도.
도 4는 본 발명에 따른 반도체 장치의 제조 방법의 제2의 실시예의 공정을 순차적으로 도시하는 개략 단면도.
도 5는 본 발명에 따른 반도체 장치의 제조 방법의 제2의 실시예의 공정을 순차적으로 도시하는 다른 개략 단면도.
도 6은 본 발명에 따른 반도체 장치의 제조 방법의 제3의 실시예의 공정을 순차적으로 도시하는 개략 단면도.
도 7은 본 발명에 따른 반도체 장치의 제조 방법의 제3의 실시예의 공정을 순차적으로 도시하는 다른 개략 단면도.
도 8은 본 발명에 따른 반도체 장치의 제조 방법의 제3의 실시예의 공정을 순차적으로 도시하는 또 다른 개략 단면도.
도 9는 본 발명에 따른 반도체 장치의 제조 방법의 제4의 실시예의 공정을 순차적으로 도시하는 개략 단면도.

도 10은 본 발명에 따른 반도체 장치의 제조 방법의 제4의 실시예의 공정을 순차적으로 도시하는 다른 개략 단면도.

도 11은 종래 기술에 따른 반도체 장치의 제조 방법을 순차적으로 도시하는 개략 단면도.

도 12는 종래 기술에 따른 반도체 장치의 제조 방법을 순차적으로 도시하는 다른 개략 단면도.

도 13은 종래 기술에 따른 반도체 장치의 제조 방법에 의한 콘택트 홀 형성 후의 상태를 각각 도시하는 개략 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 트렌치 분리 구조를 갖는 반도체 장치의 제조 방법에 관한 것이다.

근래에 반도체 장치의 고집적화에 수반하여 소자 구조의 미세화와 더불어 소자 분리 구조에 대해서도 미세화가 요구되고 있는 실정이다. 그래서, 종래 기술의 LOCOS법 대신에 보다 미세한 소자 분리 구조의 형성에 적합한 트렌치 분리(Trench Isolation)법이 제안되고 있다.

트렌치 분리법에 의한 소자 분리 구조의 형성은 다음과 같이 하여 실행되고 있다. 먼저, 반도체 기판에 소자간의 격리에 필요한 깊이까지 에칭하여 오목부 또는 트렌치를 형성하고, 다음에 상기 트렌치를 매입하도록 실리콘 산화막 등의 절연막을 형성한 후, 화학적 기계적 연마(CMP) 등에 의해 평탄화 처리를 행하여 트렌치 내의 절연막 영역을 제외한 절연막을 제거하고, 트렌치 내에 매입된 절연막(매입 절연막)으로 구성된 소자 분리 영역을 형성한다.

종래 기술의 SRAM(Static Random Access Memory) 등의 반도체 기억 장치의 제조에 있어서, 이러한 트렌치 분리 구조가 형성된 반도체 기판상에는 다음과 같이 트랜지스터가 형성된다.

도 11 내지 13은 LDD(Lightly Doped Drain) 구조를 갖는 MOS(Metal Oxide Semiconductor) 트랜지스터의 공정 단면도를 도시한다.

먼저, 트렌치 분리 구조의 소자 분리 영역(102)이 형성된 실리콘 기판(101)상에 게이트 절연막으로 이루어지는 열산화막(도면에 도시되지 않음)을 형성한 후, 불순물 도입 다결정 실리콘층을 형성하고 상기 다결정 실리콘층을 리소그래피 기술과 에칭 기술에 의해 패터닝하여 게이트 전극(104)을 형성한다(도 11의 a).

다음에, 게이트 전극(104)을 마스크로 사용하여 낮은 도스량의 불순물 이온 주입을 행하여 기판과 반대 도전형의 LDD 영역으로 사용되는 저농도 불순물 영역(105)을 형성한다(도 11의 b).

이어서, 게이트 전극(104)을 피복하는 실리콘 산화막(106)을 형성하고(도 11의 c), 상기 실리콘 산화막(106)을 이방성 에치백하여 게이트 전극(104)의 측면에 산화 실리콘으로 이루어진 측벽(106a)을 형성한다(도 12(a)). 상기 이방성 에치백(이하, '측벽 에치백'이라고 한다)은 실리콘 산화막(106)을 이방성 에칭하여 게이트 전극(104) 및 실리콘 기판(101)의 상면이 노출하도록 행해진다. 그 때, 기판 표면상의 실리콘 산화막을 완전하게 제거하기 위해 실행하는 오버 에칭에 의해 소자 분리 영역(102)의 트렌치 내의 실리콘 산화막으로 이루어지는 매입 절연막이 에칭되고, 결과적으로 이 매입 절연막의 상면이 기판 평면보다 낮아진다.

다음에, 후에 행하는 소스/드레인 영역 형성하기 위한 이온 주입에 있어서 채널링을 방지하기 위해 실리콘 산화막으로 이루어지는 채널링 방지막(107)을 형성한다(도 12의 b). 계속해서, 상기 채널링 방지막(107)을 통하여 높은 도스량의 불순물 이온 주입을 행하여 소스/드레인 영역이 되는 고농도 불순물 영역(108)을 형성한다. 그 때, 게이트 전극(104)과 측벽(106a)이 마스크로서 기능하여 측벽(106a) 아래의 저농도 불순물 영역(105)을 LDD 영역(105a)으로 하는 LDD 구조가 형성된다.

다음에, 실리콘 질화막으로 이루어지는 에칭 스톱퍼막(109)을 형성한 후 실리콘 산화막 등의 층간 절연막(110)을 형성한다(도 12의 c).

이어서, 리소그래피 기술과 에칭 기술에 의해 소스/드레인 영역(108)에 도달하는 콘택트 홀(111)을 형성한다(도 13의 a). 그 후, 스퍼터링법을 이용하여 상기 콘택트 홀 내에 배리어 금속막을 형성하고 계속해서 CVD(Chemical Vapour Deposition)법에 의해 W 등의 금속막을 매입하여 콘택트를 형성한다(도면에 도시되지 않음).

근래에 미세화 및 고집적화의 요청을 충족하기 위해, 콘택트 홀은 트렌치 분리 영역의 주변에서 오픈되는 경향이 있다. 열라인먼트 측 등에 기인하여 콘택트 홀(111)은 소자 분리 영역에 오버랩되게 형성될 수가 있다. 게다가, 소스/드레인 영역은 트랜지스터의 크기를 축소하기 위해 접합 깊이가 얇게 형성되는 경향이 있다. 따라서, 도 13의 b에 도시된 바와 같이 콘택트와 기판 사이에서 리크(leakage)가 발생하는 문제점이 발생한다.

상기 문제점은 소스/드레인 영역의 접합 깊이를 보다 얇게 형성하는 설계시에 도 12의 a에 도시된 바와 같이, 측벽 에치백을 할 때 오버 에칭에 의해 소자 분리 영역(102)의 트렌치 내의 매입 절연막 상면이 기판 평면보다 낮게되는 것에 기인한다. 통상, 오버 에칭은 피에칭막의 두께가 두꺼울수록 장시간 에칭된다. 측벽 형성 피에칭막 두께의 50%의 막이 에칭되도록 실행되고, 피에칭막이 두꺼울수록 장시간 에칭된다. 결과적으로 실리콘 산화막(106)은 100nm 정도 이상의 두께를 갖기 때문에 측벽 에치백은 장시간 실행된다. 결과적으로 소자 분리 영역의 매입 절연막 상면은 깊은 위치까지 저하되게 된다. 또한, 소스/드레인 영역 상에 실리사이드막을 형성하는 경우는 그 이전 처리인 기판상의 산화막 제거 처리에 의해 매입 절연막

상면이 더 깊은 위치까지 낮아지게 된다.

이와 같이 소자 분리 영역의 매입 절연막 상면이 기판 평면보다 낮아지게 되면, 이와 같이 소자 분리 영역(102)에 오버랩되게 콘택트 홀(111)이 형성되는 경우에 에칭 스톱퍼막(109) 등의 홀 바닥의 절연막 제거의 오버 에칭에 의해 더욱 트렌치 내의 매입 절연막이 에칭되어 소스/드레인 영역(108)의 접합 깊이가 보다 낮은(깊은) 위치까지 파고 들어간다. 상기 소스/드레인 영역(108)의 접합 깊이가 보다 깊게 파고 들어간 부분(112)에서 콘택트와 기판 사이의 리크가 발생한다. 소스/드레인 영역의 접합 깊이를 보다 얇게 형성하면 그 만큼 상기 리크는 발생하기 쉬워진다.

또한, 측벽 에치백의 공정에서 장시간의 오버 에칭에 의해 기판 표면상에서는 결정 결함이 더욱 용이하게 형성되고 그 결과 리크의 발생 등과 같은 특성이 악화된다.

발명이 이루고자하는 기술적 과제

전술한 문제점을 고려하여, 본 발명의 목적은 상기 분리 영역에 있어서 콘택트와 기판 사이의 리크의 발생이 방지되고, 또한 드라이 에칭에 의한 기판 표면상의 플라스마 데미지가 억제되고, 상기한 결함성 리크의 발생이 방지된 양호한 소자 특성을 갖는 반도체 장치의 제조 방법이 개시되는데, 상기 제조 방법은, 다음을 포함한다.

본 발명의 제1의 특징에 따르면, 반도체 기판에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법이 개시되는데, 상기 제조 방법은,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판상에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순물 확산 영역을 형성하는 공정과,

상기 게이트 전극을 포함하는 상기 반도체 기판의 주면의 전면에 제1의 절연막 및 제2의 절연막을 상기 순서로 형성하는 공정과,

상기 제1의 절연막을 에칭 스톱퍼로 사용하여 에치백을 실행하여 상기 게이트 전극의 측면상에 상기 제1의 절연막을 통하여 상기 제2의 절연막으로 이루어지는 제1의 측벽을 형성하는 공정과,

전면 에치백을 실행하여 상기 제1의 절연막을 에칭하여 상기 게이트 전극의 측면상에 상기 제1의 절연막으로 이루어지는 제2의 측벽을 형성하는 공정과,

상기 게이트 전극 및 상기 제1 및 제2의 측벽을 마스크로 사용하여 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주면의 전면에 층간 절연막을 형성하는 공정과,

상기 층간 절연막 상면으로부터 상기 제2의 불순물 확산 영역까지 도달하는 콘택트 홀을 형성하는 공정을 포함한다.

본 발명의 제2의 특징에 따르면, 반도체 기판에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법이 개시되는데, 상기 제조 방법은,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순물 확산 영역을 형성하는 공정과,

상기 게이트 전극을 포함하는 상기 반도체 기판의 주면의 전면에 제1의 절연막 및 제2의 절연막을 상기 순서대로 형성하는 공정과,

상기 제1의 절연막을 에칭 스톱퍼로 사용하여 에치백을 실행하여 상기 게이트 전극의 측면상에 상기 제1의 절연막을 통하여 상기 제2의 절연막으로 이루어지는 제1의 측벽을 형성하는 공정과,

전면 에치백을 실행하여 상기 제1의 절연막을 에칭하여 상기 게이트 전극의 측면상에 상기 제1의 절연막으로 이루어지는 제2의 측벽을 형성하는 공정과,

상기 게이트 전극 및 상기 제1 및 제2의 측벽을 마스크로 사용하여 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주면의 전면에 제3의 절연막을 형성하는 공정과,

상기 제3의 절연막상에 층간 절연막을 형성하는 공정과,

상기 제3의 절연막을 에칭 스톱퍼로 사용하여 상기 층간 절연막을 선택적으로 에칭하여 상기 제3의 절연막을 노출시키고, 또한 상기 제3의 절연막을 선택적으로 에칭하여 상기 층간 절연막 상면으로부터 상기 제2의 불순물 확산 영역까지 도달하는 콘택트 홀을 형성하는 공정을 포함한다.

본 발명의 제3의 특징에 따르면, 반도체 기판에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법이 개시되는데, 상기 제조 방법은,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판에 이온 주입을 행하여 LDD 영역으로 사용되는

제1의 불순물 확산 영역을 형성하는 공정과,

상기 게이트 전극을 포함하는 상기 반도체 기판의 주면의 전면에 제1의 절연막 및 제2의 절연막을 상기 순서대로 형성하는 공정과,

상기 제1의 절연막을 에칭 스톱퍼로 사용하여 에치백을 실행하여 상기 게이트 전극의 측면상에 상기 제1의 절연막을 통하여 상기 제2의 절연막으로 이루어지는 제1의 측벽을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 패터닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 전면 에치백을 실행하여 상기 제1의 절연막을 에칭하여 상기 게이트 전극의 측면상에 상기 제1의 절연막으로 이루어지는 제2의 측벽, 및 상기 소자 분리 영역을 덮는 상기 제1의 절연막으로 이루어지는 트렌치 분리 커버를 형성하는 공정과,

상기 게이트 전극 및 상기 제1 및 제2의 측벽을 마스크로 사용하여 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주면의 전면에 층간 절연막을 형성하는 공정과,

상기 트렌치 분리 커버가 에칭 스톱퍼로서 기능하는 조건하에서 상기 층간 절연막을 선택적으로 에칭하여 상기 층간 절연막 상면으로부터 상기 제2의 불순물 확산 영역까지 도달하는 콘택 홀을 형성하는 공정을 포함한다.

본 발명의 제4의 특징에 따르면, 제1, 제2, 및 제3의 특징에 있어서, 상기 제2의 절연막은 상기 매입 절연막과 피에칭 속도가 실질적으로 동일한 재료로 형성되는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제5의 특징에 따르면, 제2의 특징에 있어서, 상기 제2의 절연막 및 상기 매입 절연막이 실리콘 산화막으로 이루어지고, 상기 제1의 절연막 및 제3의 절연막이 실리콘 질화막으로 이루어지는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제6의 특징에 따르면, 제1 또는 제3의 특징에 있어서, 상기 제2의 절연막 및 상기 매입 절연막이 실리콘 산화막으로 이루어지고, 상기 제1의 절연막이 실리콘 질화막으로 이루어지는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제7의 특징에 따르면, 제1 내지 제6의 특징 중 어느 하나에 있어서, 상기 게이트 전극을 포함하는 상기 반도체 기판의 주면의 전면에 하부 절연막을 형성하는 공정을 갖고, 상기 하부 절연막을 형성한 후에 상기 제1의 절연막을 형성하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제8의 특징에 따르면, 제7의 특징에 있어서, 상기 제2의 측벽을 형성하기 위한 전면 에치백에 있어서, 상기 제1의 절연막과 함께 상기 하부 절연막을 에칭하고, 상기 게이트 전극 상면 및 기판 상면을 노출시키고, 상기 게이트 전극의 측면상에 상기 하부 절연막으로 이루어지는 제3의 측벽을 형성하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제9의 특징에 따르면, 제8의 특징에 있어서, 상기 제2의 불순물 확산 영역의 형성은 적어도 상기 소자 형성 영역에 채널링 방지막을 형성한 후, 상기 게이트 전극 및 상기 제1, 제2 및 제3의 측벽을 마스크로 사용하여, 상기 채널링 방지막을 통하여 이온 주입을 행하여 제2의 불순물 확산 영역을 형성하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제10의 특징에 따르면, 제7의 특징에 있어서, 상기 제2의 측벽을 형성하기 위한 전면 에치백에 있어서, 상기 하부 절연막이 남도록 상기 제1의 절연막을 에칭하고, 상기 하부 절연막을 통하여 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 반도체 장치의 제조 방법이 개시된다.

본 발명이 제11의 특징에 따르면, 제10의 특징에 있어서, 상기 하부 절연막상에 채널링 방지막을 형성하고, 상기 하부 절연막 및 상기 채널링 방지막을 통하여 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제12의 특징에 따르면, 제7 내지 제11의 특징 중의 하나에 있어서, 상기 제1의 불순물 확산 영역을 형성하기 위한 이온 주입은 상기 하부 절연막을 형성한 후이고 상기 제2의 절연막을 형성하기 전에 행하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제13의 특징에 따르면, 제1 내지 제12의 특징 중 어느 하나에 있어서, 상기 제1의 불순물 확산 영역을 형성하기 위한 이온 주입은 상기 제1의 절연막을 형성한 후이고 상기 제2의 절연막을 형성하기 전에 행하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제14의 특징에 따르면, 제1 내지 제13의 특징 중 어느 하나에 있어서, 상기 콘택 홀은 상기 제2의 불순물 확산 영역과 상기 소자 분리 영역에 걸쳐서 형성되는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제15의 특징에 따르면, 반도체 기판에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법이 개시되는데, 상기 제조 방법은,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판상에 제1의 절연막을 형성하는 공정과,

전면 에치백을 실행하여 상기 게이트 전극의 측면상에 상기 제1의 절연막으로 이루어지는 측벽을 형성하

는 공정과,

상기 게이트 전극 및 상기 측벽을 마스크로 사용하여 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주면의 전면에 제2의 절연막을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 패터닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 상기 제2의 절연막을 에칭하여 상기 소자 분리 영역을 덮는 상기 제2의 절연막으로 이루어지는 트렌치 분리 커버를 형성하는 공정과,

상기 반도체 기판의 주면의 전면에 층간 절연막을 형성하는 공정과,

상기 트렌치 분리 커버가 에칭 스톱퍼로서 기능하는 조건하에서 상기 층간 절연막을 선택적으로 에칭하여 상기 층간 절연막 상면으로부터 상기 제2의 불순물 확산 영역까지 도달하는 콘택트 홀을 형성하는 공정을 포함한다.

본 발명의 제16의 특징에 따르면, 반도체 기판에 형성된 트렌치와 상기 트렌치 내에 매립된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법이 개시되는데, 상기 제조 방법은,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판상에 제1의 절연막을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 패터닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 상기 제1의 절연막을 에칭백하고, 상기 게이트 전극의 측면상에 측벽을 형성하는 동시에, 상기 소자 분리 영역을 덮는 상기 제1의 절연막으로 이루어지는 트렌치 분리 커버를 형성하는 공정과,

상기 게이트 전극 및 상기 측벽을 마스크로 사용하여 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주면의 전면에 제2의 절연막을 형성하는 공정과,

상기 반도체 기판의 주면의 전면에 층간 절연막을 형성하는 공정과,

상기 제2의 절연막을 에칭 스톱퍼로 사용하여 상기 층간 절연막을 선택적으로 에칭하여 상기 제2의 절연막을 노출시키고, 또한 상기 제2의 절연막 및 상기 채널링 방지막을 선택적으로 에칭하여 상기 층간 절연막 상면으로부터 상기 제2의 불순물 확산 영역까지 도달하는 콘택트 홀을 형성하는 공정을 포함한다.

본 발명의 제17의 특징에 따르면, 제15 또는 제16의 특징에 있어서, 상기 제1의 절연막은 상기 매입 절연막과 피에칭 속도가 실질적으로 동일한 재료로 형성되는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제18의 특징에 따르면, 제15, 제16 또는 제17의 특징에 있어서, 상기 제1의 절연막 및 상기 매입 절연막이 실리콘 산화막으로 이루어지고, 상기 제2의 절연막이 실리콘 질화막으로 이루어지는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제19의 특징에 따르면, 제15 내지 제18의 특징 중 어느 하나에 있어서, 적어도 상기 소자 형성 영역에 채널링 방지막을 형성하는 공정을 갖고, 상기 채널링 방지막을 통하여 이온 주입을 행하고 상기 제2의 불순물 영역을 형성하는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제20의 특징에 따르면, 제15 내지 제19의 특징 중 어느 하나에 있어서, 상기 콘택트 홀은 상기 제2의 불순물 확산 영역과 상기 소자 분리 영역에 걸쳐서 형성되는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제21의 특징에 따르면, 반도체 기판에 형성된 트렌치와 상기 트렌치 내에 매립된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법이 개시되는데, 상기 제조 방법은,

상기 반도체 기판의 주면의 전면에 절연막을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 패터닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 상기 절연막의 에칭을 실행하여 상기 소자 분리 영역을 덮는 상기 절연막으로 이루어지는 트렌치 분리 커버를 형성하는 공정과,

상기 반도체 기판의 주면의 전면에 층간 절연막을 형성하는 공정과,

상기 트렌치 분리 커버가 에칭 스톱퍼로서 기능하는 조건하에서 상기 층간 절연막을 선택적으로 에칭하여 상기 층간 절연막 상면으로부터 상기 제2의 불순물 확산 영역까지 도달하는 콘택트 홀을 형성하는 공정을 포함한다.

본 발명의 제22의 특징에 따르면, 제21의 특징에 있어서, 상기 매입 절연막이 실리콘 산화막으로 이루어지고, 상기 절연막이 실리콘 질화막으로 이루어지는 반도체 장치의 제조 방법이 개시된다.

본 발명의 제23의 특징에 따르면, 제1 내지 제22의 특징 중 어느 하나에 있어서, 상기 층간 절연막은 상기 매입 절연막과 피에칭 속도가 실질적으로 동일한 재료로 형성되는 반도체 장치의 제조 방법이 개시된다.

다.

본 발명에 의하면, 트렌치 분리 영역에 오버랩하게 콘택트 홀이 형성된 경우에도 트렌치 내의 매입 절연막의 감소(매입 절연막 상면의 저하)가 방지 또는 억제되기 때문에, 콘택트와 기판 사이의 리크를 방지할 수 있다. 그 결과, 소자 특성이 개선된 반도체 장치를 수율 좋게 제조할 수 있다.

본 발명의 제1 내지 제3의 특징에 의하면, 제1의 측벽의 형성 공정 전에 소자 분리 영역을 포함하는 기판 전면에 스토퍼막을 형성하고 있기 때문에, 제1의 측벽의 형성 공정의 에치백에 의해 소자 분리 영역의 매입 절연막이 에칭되는 일이 없다. 그 때문에, 후에 기판 전면에 형성한 층간 절연막에 트렌치 분리 영역에 오버랩되도록 콘택트 홀이 형성되는 경우에도, 최종적인 매입 절연막의 감소를 억제할 수 있다. 또한, 그 스토퍼막은 제1의 측벽 형성 공정의 에치백에 있어서 스토퍼막으로서 기능하여 기판 표면을 보호할 수 있기 때문에, 에치백에 의한 기판 표면의 플라즈마 데미지를 방지할 수 있어서 결함성 리크의 발생을 억제할 수 있다.

본 발명의 제3, 제15 및 제21의 특징에 의하면, 층간 절연막의 형성 전에 소자 분리 영역을 덮는 트렌치 분리 커버를 마련하기 때문에 소자 분리 영역에 걸치도록 층간 절연막에 콘택트 홀이 형성되는 경우에도, 상기 트렌치 분리 커버가 스토퍼막으로서 기능하여 소자 분리 영역이 보호받고 매입 절연막의 감소를 방지할 수 있다.

본 발명의 제16의 특징에 의하면, 측벽의 형성 공정의 에치백 전에 소자 분리 영역을 덮는 트렌치 분리 커버를 형성하기 때문에, 소자 분리 영역에 걸치도록 층간 절연막에 콘택트 홀이 형성되는 경우에도, 이 트렌치 분리 커버에 의해 소자 분리 영역이 보호받아 매입 절연막의 감소를 방지할 수 있다. 또한, 이 트렌치 분리 커버는 측벽 형성용의 절연막으로 형성하기 위해 별도로 성막 공정을 부가한 필요가 없고, 간편하게 형성할 수 있다.

발명의 구성 및 작용

이하, 본 발명의 양호한 실시예가 기술될 것이다.

제1의 실시예

본 발명의 제1의 실시예를 도면을 참조하여 설명한다. 도 1 내지 3은 LDD 구조를 갖는 MOS 트랜지스터의 제조 방법을 공정순으로 도시하는 개략 단면도이다.

먼저, 반도체 기판(1)의 소정의 영역에 보통의 방법으로 트렌치 내에 매입된 실리콘 산화막으로 구성된 소자 분리 영역(2)을 형성한다.

상기 실리콘 기판(1)상에 게이트 절연막으로 이루어지는 두께 2 내지 15nm 정도의 열산화막(도면에 도시되지 않음)을 형성한 후, 두께 100 내지 200nm 정도의 불순물 도입 다결정 실리콘층을 형성하고 상기 다결정 실리콘층을 리소그래피 기술과 에칭 기술에 의해 패터닝하여 게이트 전극(4)을 형성한다(도 1의 a). 여기서, 불순물 도입 다결정 실리콘막상에 W실리사이드막 등의 실리사이드막, 및 실리콘 산화막 등의 절연막을 형성한 후에 패터닝을 실행하여 게이트 전극상에 실리사이드막 및 캡(cap) 절연막을 마련하여도 양호하다.

다음에, 게이트 전극(4)을 마스크로 사용하여, 5 내지 50keV , 1×10^{12} 내지 $5 \times 10^{14}/\text{cm}^2$ 정도의 비교적 낮은 도스량의 불순물 이온 주입을 행하고, 기판과는 반대 도전형의 LDD 영역으로 사용되는 저농도 불순물 영역(5)을 형성한다(도 1의 b). 그 때, p형 불순물로는 붕소(B)나 BF_2 , n형 불순물로서는 인(P)이나 비소(As)를 사용할 수 있다. 또한, 저농도 불순물 영역(5)은 후에 형성하는 실리콘 산화막(21)을 형성한 후, 상기 실리콘 산화막(21)을 통하여 이온 주입을 실행하여 형성해도 좋고, 또한 후에 형성하는 실리콘 질화막(22)을 형성한 후, 상기 실리콘 질화막(22)과 실리콘 산화막(21)을 통하여 이온 주입을 행하여 형성할 수도 있다.

다음에, 게이트 전극(4)을 피복하도록 기판의 상면 전체에 CVD법에 의해 두께 5 내지 10nm 정도의 실리콘 산화막(21)을 형성하고, 이 위에 두께 5 내지 10nm 정도의 실리콘 질화막(22)을 적층한다. 계속해서, 기판 전면에 CVD법에 의해 두께 50 내지 200nm 정도의 실리콘 산화막(6)을 형성한다(도 1의 c). 예를 들면, 실리콘 산화막(21), 실리콘 질화막(22) 및 실리콘 산화막(6)의 두께는 각각 10nm, 10nm, 100nm로 설정할 수 있다.

다음에, 실리콘 질화막(22)을 에칭 스톱퍼로 하여 상기 실리콘 산화막(6)을 이방성 에칭에 의해 에치백하여 게이트 전극 측면에 실리콘 산화막(21a) 및 실리콘 질화막(22a)을 통하여 측벽(6a)을 형성한다(도 2의 a). 계속해서, 측벽(6a)을 마스크로 사용하여 웨트 에칭 또는 드라이 에칭을 실행하여 실리콘 질화막(22) 및 실리콘 산화막(21)을 제거하고 게이트 전극(4) 및 실리콘 기판의 상면을 노출시킨다. 결과적으로 게이트 전극(4)의 측면에 실리콘 산화막(21a), 실리콘 질화막(22a), 실리콘 산화막(6a)이 상기 순서로 적층된 적층막으로 이루어지는 측벽(6b)이 형성된다(도 2의 b). 이 때, 실리콘 질화막(22) 및 실리콘 산화막(21)은 얇기 때문에 종래 기술과 같이 두꺼운 산화막을 한번에 에치백하여 측벽을 형성하는 경우와 비교하면 오버 에칭량을 작게 할 수 있고 그 때문에 트렌치 분리 영역(2)의 트렌치 내의 매입 산화막이 감소(매입 산화막 상면의 저하)를 억제할 수 있다. 또한, 이와 같이 오버에칭량이 작으면 드라이 에칭의 플라즈마 분위기에 조사되는 시간이 짧기 때문에 기판 표면의 플라즈마 데미지를 감소시킬 수 있다.

또한, 실리콘 산화막(21)은 질화막을 기판상에 직접 형성한 때에 생길 수 있는 계면 준위를 방지하는 목적으로 하부 절연막으로서 마련되고 있지만 게이트 에칭 후에 게이트 산화막이 기판 표면에 잔존하는 경우, 또는 기판과의 사이에 계면 준위를 만들지 않고 또한 실리콘 산화막(6)의 에치백 시에 에칭 스톱퍼로 하여 작용하는 절연물을 실리콘 질화막(22) 대용으로 형성하는 경우에는 실리콘 산화막(21)은 마련하지 않아도 무방하다.

또한, 실리콘 질화막(22)을 에칭 제거할 때, 실리콘 산화막(21)은 남아도 좋다. 상기 경우에 잔존한 실리콘 산화막(21)이 충분한 두께를 갖을 때는 후술하는 소스/드레인 영역 형성하기 위한 이온 주입에 이용하는 채널링 방지막으로 할 수 있다. 또는 실리콘 질화막(22) 제거 후의 실리콘 산화막(21)상에 별도로 실리콘 산화막 등의 절연막을 적층하고 상기 적층막을 채널링 방지막으로 할 수도 있다. 실리콘 산화막(21)을 남김으로써 기판 표면이 드라이 에칭의 플라즈마 분위기에 조사되지 않기 때문에 기판 표면에 플라즈마 데미지를 받는 일이 없다.

다음에, 후에 실행하는 소스/드레인 영역 형성하기 위한 이온 주입에 있어서 채널링을 방지하기 위해 실리콘 산화막 등으로 이루어지는 두께 5 내지 30nm 정도의 채널링 방지막(7)을 형성한다. 또한, 이 채널링 방지막(7)은 다른 채널링 방지 수단을 채용할 수 있는 경우에는 마련하지 않아도 좋다. 계속해서, 이 채널링 방지막(7)을 통하여 5 내지 60keV, 5×10^{14} 내지 $7 \times 10^{15}/\text{cm}^2$ 정도의 비교적 높은 도스량의 불순물 이온 주입을 행하여, 소스/드레인 영역이 되는 고농도 불순물 영역(8)을 형성한다(도 2의 c). 그 때, 게이트 전극(4)과 측벽(6a)이 마스크로서 기능하여 측벽(6a) 아래의 저농도 불순물 영역(5)을 LDD 이트 전극(4)으로 하는 LDD 구조가 형성된다. 이 때, p형 불순물로서는 붕소(B)나 BF_2 , n형 불순물로서는 인(P)이나 비소(As)를 사용할 수 있다. 고농도 불순물 영역의 형성 후, 800 내지 1000°C 정도의 열처리에 의해 불순물의 활성화를 행한다. 최종적으로 형성되는 소스/드레인 영역의 접합 깊이는 0.1 내지 0.2 μm 정도로 설정된다.

소스/드레인 영역(고농도 불순물 영역)(8) 및 게이트 전극(4)상에는 실리콘사이드막을 마련하여도 양호하고 예를 들면 다음과 같이 하여 형성할 수 있다.

먼저, 채널링 방지막(7)을 제거하고 기판 및 게이트 전극의 상면을 노출시키기 위해 웨트 에칭을 행한다. 그 때, 트렌치 분리 영역(2)의 매입 산화막의 상부도 에칭 되게 되지만 채널링 방지막(7)은 얇기 때문에 그 영향은 적다.

그 후, 이 기판상에 스퍼터링법으로 Co 등의 금속막을 형성한다. 뒤이어, 600 내지 800°C 정도로 열처리를 행하여 금속막과 게이트 전극의 다결정 실리콘, 및 소스/드레인 영역의 실리콘간에 실리콘사이드화 반응을 발생시키고 소자 분리 영역이나 측벽 상 등의 미반응 금속막은 에칭 제거한다. 그 결과, 자기 정합적으로 실리콘사이드막이 게이트 전극 상, 및 소스/드레인상에 형성된다. 또한, 게이트 전극상에 캡 절연막이 마련되어 있는 경우에는 게이트 전극상에는 실리콘사이드막은 형성되지 않는다.

다음에, 기판의 상면 전체에 실리콘 질화막으로 이루어지는 두께 10 내지 100nm 정도의 에칭 스톱퍼막(9)을 형성한 후, 계속해서 실리콘 산화막 등의 두께 300 내지 1000nm 정도의 층간 절연막(10)을 형성한다(도 3의 a).

다음에, 리소그래피 기술과 이방성 에칭에 의해 소스/드레인 영역(고농도 불순물 영역)(8)에 달하는 콘택트 홀(11)을 형성한다(도 3의 b). 그 때, 스톱퍼막(9)으로 일단 에칭을 막고 뒤이어 스톱퍼막(9)과 채널링 방지막(7)을 에칭 제거한다. 그 후, CVD법 또는 스퍼터링법을 이용하여 이 콘택트 홀(11) 내에 배리어 금속막을 형성하고 계속해서 CVD법에 의해 W 등의 금속막을 매입하여 콘택트를 형성한다(도면에 도시되지 않음).

전술한 방법에 의하면, 측벽 형성 공정에 있어서, 트렌치 분리 영역(2)의 트렌치 내의 매입 산화막의 감소(매입 산화막 상면의 저하)가 억제된다(도 2의 a 및 b). 따라서, 트렌치 분리 영역(2)에 오버랩하도록 콘택트 홀이 형성되는 경우에 에칭 스톱퍼막(9) 등의 홀 바닥의 절연막 제거시의 오버 에칭에 의해 트렌치 내의 매입 산화막이 패여들어가는 일이 없어서, 콘택트와 기판 사이의 리크를 방지할 수 있다.

제2의 실시예

도 4 내지 도 5는 본 발명에 따른 제2의 실시예의 제조 방법을 공정순에 따라 도시하는 개략 단면도이다. 도 4의 a 및 도 2의 a는 동일한 도면을 나타낸다. 도 4의 a에 도시된 구조는 도 1의 a 내지 도 2의 a에 도시된 공정과 동일하게 형성된다.

도 4의 b는 레지스트막(31)이 트렌치 분리 영역(2) 위 영역을 피복하도록 실리콘 질화막(22)상에 형성되는 것을 도시하고 있다. 레지스트막(31)의 패턴은 트렌치 분리 영역의 패턴과 동일하다. 따라서, 레지스트막(31)의 패턴닝시에 동일한 마스크가 트렌치 분리 영역의 패턴닝에 사용될 수 있다.

계속해서, 측벽의 형성은 이방성 에칭에 의해 실리콘 질화막(22) 및 실리콘 산화막(21)을 에칭 제거하고 게이트 전극(4) 및 실리콘 기판 양쪽 모두의 상면을 노출함으로써 실행된다. 그 결과, 게이트 전극(4)의 측면에 실리콘 산화막(21a), 실리콘 질화막(22a), 실리콘 산화막(6a)로 구성된 측벽(6b)의 적층막이 게이트 전극(4)의 측면상에 형성된다. 제1의 실시예에서 설명된 동일한 이유에 의해, 즉, 두꺼운 실리콘 산화막(6)의 에칭은 실리콘 질화막(22)상에서 일단 정지되고 얇은 실리콘 질화막(22)의 오버 에칭 두께는 작기 때문에, 기판 표면에 대한 플라즈마 데미지는 훨씬 감소된다. 여기서, 실리콘 산화막(21b) 및 실리콘 질화막(22b)은 레지스트막(31)의 하부에 남겨져서 측벽 형성 공정에서 트렌치 분리 영역(2)의 내측에서 실리콘 산화막의 에칭을 방지한다.

다음에, 레지스트막(31)을 제거한 후, 이후에 행하는 소스/드레인 영역 형성용 이온 주입시의 채널링 방지막으로서, 두께 5 내지 30nm 정도의 실리콘 산화막(7)을 형성한다. 그러나, 상기 실리콘 산화막(7)은 다른 채널링 방지 수단을 취할 수 있는 경우에는 마련하지 않아도 좋다. 계속해서, 제1의 실시예와 동일하게 실리콘 산화막(7)을 통하여 불순물 이온 주입을 행하여 소스/드레인 영역이 되는 고농도 불순물 영역(8)을 형성하고, 그 후 불순물 활성화를 위한 열처리를 행한다(도 5의 a).

또한, 금속 실리콘사이드막이 제1의 실시예와 동일한 방법으로 소스/드레인 영역 및 게이트 전극 양쪽의 상면상에 형성되는 것이 가능하다.

다음에, 두께 300 내지 1000nm 정도의 실리콘 산화막 등의 층간 절연막(10)이 형성되고, 리소그래피 기술과 이방성 에칭에 의해 소스/드레인 영역(8)에 달하는 콘택트 홀(11)을 형성한다(도 5의 b). 여기서,

콘택트 홀이 트렌치 분리 영역(2)을 오버랩하도록 형성되는 경우에 트렌치 분리 영역을 피복하는 실리콘 질화막(22b)상에서 콘택트 에칭은 정지된다. 따라서, 콘택트 홀의 바닥은 트렌치 분리 영역 내측의 소스/드레인 영역의 접합 깊이보다 낮게 도달되는 것이 방지된다. 더욱이, 제1의 실시예에서 기술된 바와 같이 실리콘 질화막(9)과 같은 에칭 스톱퍼막이 없이도 층간 절연막(10)을 형성하는 것이 가능하고, 그로 인해 막 성장의 공정의 단계가 줄어들고 생산비를 절감시켜준다.

그 후, CVD법 또는 스퍼터링법을 이용하여 상기 콘택트 홀(11) 내에 배리어 금속막을 형성하고, 계속해서 CVD법에 의해 W 등의 금속막을 매입하여 콘택트를 형성한다(도면에 도시되지 않음).

제2의 실시예에서, 측벽의 형성 공정에서 트렌치 분리 영역 내의 실리콘 산화막은 거의 에칭되지 않고, 트렌치 분리 영역(2) 내측의 매입된 산화막의 상부 표면 높이는 전혀 낮아지지 않는다. 따라서, 소스/드레인 영역의 얇은 접합 깊이를 갖는 장치에서 콘택트 홀과 기판 사이의 리크는 제1의 실시예에 비해 보다 개선되고, 트렌치 분리 영역(2) 내측의 매입된 산화막의 상면의 높이는 측벽 형성의 드라이 에칭에 의해 거의 낮아지지 않는다. 즉, 제2의 실시예는 보다 소형화된 장치에 적합하다.

제3의 실시예

도 6 내지 도 8은 본 발명의 제3의 실시예의 제조 공정을 순차적으로 도시한 개략 단면도이다.

도 6의 a에 도시된 바와 같이, 반도체 기판(1)상에 통상의 방법으로 실리콘 산화막으로 매입된 트렌치 분리 영역이 형성된 이후에, 열 산화막(도시되지 않음) 및 도핑된 다결정 실리콘층으로 이루어진 게이트 절연막이 형성되고 게이트 전극(4)이 다결정 실리콘막을 패터닝함으로써 형성된다.

다음에, 제1의 실시예와 동일한 방법으로 게이트 전극(4)을 마스크로 사용하여, 이온 주입이 실행되어 저농도의 불순물을 갖고 기판과는 반대 도전형의 LDD 영역(5)을 형성한다(도 6의 b).

다음에, CVD법에 의해 기판의 상면 전체에 게이트 전극(4)을 덮는 두께 50 내지 200nm 정도의 실리콘 산화막(6)을 형성하고(도 6의 c), 상기 실리콘 산화막(6)을 에치백하여 게이트 전극(4)의 측면에 산화 실리콘으로 이루어지는 측벽(6a)을 형성한다(도 7의 a). 상기 에치백은 실리콘 산화막(6)을 이방성 에칭하여 게이트 전극(4) 및 실리콘 기판(1)의 상면에 노출되도록 실행된다.

다음에, 이후에 행하는 소스/드레인 영역 형성하기 위한 이온 주입에 있어서 채널링을 방지하기 위해 실리콘 산화막 등으로 이루어지는 두께 5 내지 30nm 정도의 채널링 방지막(7)을 형성한다. 상기 채널링 방지막(7)은 다른 채널링 방지 수단을 채용할 수 있는 경우는 마련하지 않아도 좋다. 계속해서, 제1의 실시예와 동일한 방법으로 상기 채널링 방지막(7)을 통하여 불순물 이온 주입을 행하여 소스/드레인 영역이 되는 고농도 불순물 영역(8)을 형성하고 불순물의 활성화를 위한 열처리를 행한다(도 7의 b). 또한, 소스/드레인 영역 및 게이트 전극상에는 제1의 실시예와 같이 하여 실리콘사이드막을 마련하여도 좋다.

다음에, 기판의 상면 전체에 실리콘 질화막으로 이루어지는 두께 10 내지 100nm 정도의 에칭 스톱퍼막(9)을 형성한다(도 7의 c).

그 후, 레지스트막(41)이 실리콘 질화막(9)상에 형성되어 트렌치 분리 영역(2)상의 영역을 피복한다. 레지스트막(41)의 패턴은 트렌치 분리 영역의 패턴과 동일하다. 따라서, 레지스트막(41)의 패턴닝시에 동일한 마스크가 트렌치 분리 영역의 패턴닝시에도 사용될 수 있다(도 8의 a).

계속해서, 레지스트막(41)으로 드라이 에칭이 실행되어 실리콘 질화막(9) 및 실리콘 산화막(7)을 에칭 제거하고 게이트 전극(4) 및 실리콘 기판의 상면 양쪽을 노출하고 그 후 레지스트막(41)을 제거한다. 그 결과, 트렌치 분리 영역의 상면상에만 실리콘 산화막(7a) 및 실리콘 질화막(9a)이 남게된다(도 8의 b). 또한, 실리콘 산화막을 남겨 드라이 에칭을 실리콘 산화막(7)에서 중단시킴으로써 실리콘 질화막(9)만을 남기는 것도 가능하다. 이 경우에, 기판 표면은 드라이 에칭의 플라스마 분위기에 노출되지 않아 기판 표면에 대한 플라스마 데미지를 줄일 수 있다.

다음에, 실리콘 산화막 등의 두께 300 내지 1000nm 정도의 층간 절연막(10)을 형성한 후, 리소그래피 기술과 이방성 에칭에 의해 소스/드레인 영역(8)에 달하는 콘택트 홀(11)을 형성한다(도 8의 c). 여기서, 트렌치 분리 영역(2)에 오버랩되도록 콘택트 홀(11)이 형성되는 경우에 트렌치 분리 영역(2)을 덮는 실리콘 질화막(9a)상에서 콘택트 홀에 대한 에칭이 중단된다. 따라서, 콘택트 홀의 바닥부는 트렌치 분리 영역 내측의 소스/드레인 영역의 접합 깊이 보다 더 낮게 되는 것이 방지되고 콘택트 홀과 기판 사이의 리크가 방지된다.

그 후, CVD법 또는 스퍼터링법을 이용하여 이 콘택트 홀(11) 내에 배리어 금속막을 형성하고, 계속해서 CVD법에 의해 W 등의 금속막을 매입하여 콘택트를 형성한다(도면에 도시되지 않음).

제4의 실시예

도 9 및 도 10은 본 발명의 제4의 실시예의 제조 공정을 순차적으로 도시하는 개략 단면도이다. 도 9의 a는 도 6의 c와 동일한 도면이다. 도 9의 a에 도시된 구조는 제3의 실시예의 도 6의 a 내지 도 6의 c로부터 도시된 공정과 동일하다.

도 9의 b는 레지스트막(51)이 트렌치 분리 영역(2)상의 영역을 피복하도록 실리콘 산화막(6)상에 형성된 구조를 도시한다(도 9의 b). 레지스트막(51)의 패턴은 트렌치 분리 영역의 패턴과 동일하다. 따라서, 레지스트막(51)의 패턴닝시에 트렌치 분리 영역 패턴닝시에 사용된 동일한 마스크가 사용될 수 있다.

다음에, 실리콘 산화막(6)을 이방성 에칭에 의해 에치백하여 게이트 전극(4)의 측면상에 산화 실리콘으로 이루어지는 측벽(6a)을 형성한다(도 9의 c). 여기서, 트렌치 분리 영역상의 실리콘 산화막(6c)은 레지스트막(51) 때문에 에칭되지 않아 트렌치 분리 영역(2) 내측의 매입된 산화막의 상부 표면의 높이가 낮아지는 것이 방지된다.

레지스트막(51)을 제거한 후, 후에 행하는 소스/드레인 영역 형성하기 위한 이온 주입에 있어서 채널링

을 방지하기 위해, 실리콘 산화막 등으로 이루어지는 두께 5 내지 30nm 정도의 채널링 방지막(7)을 형성한다(도 10의 a). 계속해서, 제1의 실시예와 동일한 조건으로 상기 채널링 방지막(7)을 통하여 불순물 이온 주입을 행하여 고농도 불순물 영역(8)을 형성한다. 그 후, 불순물의 활성화를 위한 열처리를 실행한다. 소스/드레인 영역(8) 및 게이트 전극(4) 양쪽 상부에 제1의 실시예와 동일하게 실리사이드막을 형성하는 것도 가능하다.

여기서, 채널링에 대한 다른 방지 수단이 취해진다면 실리콘 산화막(7)의 제거가 가능하다. 이 경우, 소스/드레인 영역 형성하기 위한 이온 주입은 실리콘 산화막(6)의 에치백 직후에 실행되고 레지스트막(51)의 제거 및 소스/드레인 영역의 활성화를 위한 열처리가 그 이후에 실행된다.

다음에, 기판의 상면 전체에 실리콘 질화막으로 이루어지는 두께 10 내지 100nm 정도의 에칭 스톱퍼막(9)을 형성한다(도 10의 b).

그 후, 제1의 실시예와 같이 실리콘 산화막 등의 층간 절연막(10)을 형성하고 리소그래피 기술과 이방성 에칭에 의해 소스/드레인 영역(8)에 달하는 콘택트 홀(11)을 형성한다(도 10의 c). 이 때, 트렌치 분리 영역(2)에 오버랩되도록 콘택트 홀(11)이 형성되더라도 트렌치 분리 영역상에는 측벽의 형성에 이용한 충분히 두꺼운 실리콘 산화막으로 이루어지는 트렌치 분리 커버(6c)가 형성되어 있기 때문에 트렌치 내의 매입 산화막 상면의 높이의 저하가 방지될 수 있다.

그 후, CVD법 또는 스퍼터링법을 이용하여 이 콘택트 홀(11) 내에 배리어 금속막을 형성하고 계속해서 CVD법에 의해 W 등의 금속막을 매입하여 콘택트를 형성한다(도면에 도시되지 않음).

발명의 효과

전술한 바와 같이, 본 발명에 의하면 트렌치 분리 영역에 오버랩하도록 콘택트 홀이 형성되더라도 트렌치 내의 매입 절연막의 감소, 즉 매입 절연막 상면의 높이의 감소가 방지 또는 억제되기 때문에 콘택트와 기판 사이의 리크를 방지할 수 있다. 또한, 적층막으로 이루어지는 측벽을 형성하는 경우는 또한 기판 표면의 플라즈마 데미지가 억제되어 결함성 리크의 발생을 방지할 수 있다. 그 결과, 소자 특성이 개선된 반도체 장치를 수율 좋게 제조할 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판상에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법에 있어서,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판상에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순물 확산 영역을 형성하는 공정과,

상기 게이트 전극을 포함하는 상기 반도체 기판의 주면(principal plane)의 전면에 제1의 절연막 및 제2의 절연막을 상기 순서대로 형성하는 공정과,

상기 제1의 절연막을 에칭 스톱퍼로 사용하여 에치백을 실행하여 상기 게이트 전극의 측면상에 상기 제1의 절연막을 통해 상기 제2의 절연막으로부터 제1의 측벽을 형성하는 공정과,

전면 에치백에 의해 상기 제1의 절연막을 에칭하여 상기 게이트 전극의 측면상에 상기 제1의 절연막으로부터 제2의 측벽을 형성하는 공정과,

상기 게이트 전극 및 상기 제1 및 제2의 측벽을 마스크로 사용하여 다른 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주면의 전면에 층간 절연막을 형성하는 공정과,

상기 층간 절연막 상면으로부터 상기 제2의 불순물 확산 영역상에 개방된 콘택트 홀을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2

반도체 기판상에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법에 있어서,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판상에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순물 확산 영역을 형성하는 공정과,

상기 게이트 전극을 포함하는 상기 반도체 기판의 주면의 전면에 제1의 절연막 및 제2의 절연막을 상기 순서대로 형성하는 공정과,

상기 제1의 절연막을 에칭 스톱퍼로 사용하여 에치백을 실행하여 상기 게이트 전극의 측면상에 상기 제1의 절연막을 통하여 상기 제2의 절연막으로부터 제1의 측벽을 형성하는 공정과,

전면 에치백에 의해 상기 제1의 절연막을 에칭하여 상기 게이트 전극의 측면상에 상기 제1의 절연막으로부터 제2의 측벽을 형성하는 공정과,

상기 게이트 전극 및 상기 제1 및 제2의 측벽을 마스크로 사용하여 다른 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주면의 전면상에 제3의 절연막을 형성하는 공정과,

상기 제3의 절연막상에 층간 절연막을 형성하는 공정과,

상기 제3의 절연막을 에칭 스톱퍼로 사용하여 상기 층간 절연막을 선택적으로 에칭하여 상기 제3의 절연막을 노출시키고, 상기 제3의 절연막을 선택적으로 에칭하여 상기 층간 절연막 상면으로부터 상기 제2의 불순물 확산 영역까지 도달하는 콘택트 홀을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3

반도체 기판상에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법에 있어서,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순물 확산 영역을 형성하는 공정과,

상기 게이트 전극을 포함하는 상기 반도체 기판의 주면의 전면상에 제1의 절연막 및 제2의 절연막을 상기 순서대로 형성하는 공정과,

상기 제1의 절연막을 에칭 스톱퍼로 사용하여 에치백을 실행하여 상기 게이트 전극의 측면상에 상기 제1의 절연막을 통하여 상기 제2의 절연막으로 이루어지는 제1의 측벽을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 패터닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 전면 에치백에 의해 상기 제1의 절연막을 에칭하여 상기 게이트 전극의 측면상에 상기 제1의 절연막으로부터 제2의 측벽, 및 상기 소자 분리 영역을 덮는 상기 제1의 절연막으로부터 트렌치 분리 커버를 형성하는 공정과,

상기 게이트 전극 및 상기 제1 및 제2의 측벽을 마스크로 사용하여 다른 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주면의 전면상에 층간 절연막을 형성하는 공정과,

상기 트렌치 분리 커버가 에칭 스톱퍼로서 기능하는 조건하에서 상기 층간 절연막을 선택적으로 에칭하여 상기 층간 절연막 상면으로부터 상기 제2의 불순물 확산 영역까지 도달하는 콘택트 홀을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

제 1, 2, 또는 3항에 있어서,

상기 제2의 절연막은 상기 매입 절연막과 에칭 속도가 실질적으로 동일한 재료로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제 2항에 있어서,

상기 제2의 절연막 및 상기 매입 절연막 각각은 실리콘 산화막으로 이루어지고, 상기 제1의 절연막 및 제3의 절연막 각각은 실리콘 질화막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

제 1 또는 3항에 있어서,

상기 제2의 절연막 및 상기 매입 절연막 각각은 실리콘 산화막으로 이루어지고, 상기 제1의 절연막은 실리콘 질화막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7

제 1, 2, 또는 3항에 있어서,

상기 게이트 전극을 포함하는 상기 반도체 기판의 주면의 전면상에 하부 절연막을 형성하는 공정을 더 포함하고, 상기 하부 절연막을 형성한 후에 상기 제1의 절연막을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

제 7항에 있어서,

상기 제2의 측벽을 형성하기 위한 전면 에치백의 실행시에, 상기 하부 절연막은 상기 제1의 절연막과 함께 에칭되고, 상기 게이트 전극의 상면 및 기판의 상면이 노출되고, 상기 게이트 전극의 측면상에 상기 하부 절연막으로부터 제3의 측벽을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9

제 8항에 있어서,

상기 제2의 불순물 확산 영역의 형성시에, 적어도 상기 활성 영역에 채널링 방지막을 형성한 이후에 상기 게이트 전극 및 상기 제1, 제2 및 제3의 측벽을 마스크로 사용하여 상기 채널링 방지막을 통하여 이

은 주입을 행함으로써 제2의 불순물 확산 영역을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10

제 7항에 있어서,

상기 제2의 측벽을 형성하기 위한 전면 에치백시에, 상기 하부 절연막이 남도록 상기 제1의 절연막을 에칭하고,

상기 하부 절연막을 통하여 이온 주입을 행함으로써 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11

제 10항에 있어서,

상기 하부 절연막상에 채널링 방지막을 형성하고, 상기 하부 절연막 및 상기 채널링 방지막을 통하여 이온 주입을 행함으로써 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12

제 7항에 있어서,

상기 제1의 불순물 확산 영역을 형성하기 위한 이온 주입은 상기 하부 절연막을 형성한 이후에 상기 제2의 절연막을 형성하기 이전에 실행되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13

제 1, 2, 또는 3항에 있어서,

상기 제1의 불순물 확산 영역을 형성하기 위한 이온 주입은 상기 제1의 절연막을 형성한 이후에 상기 제2의 절연막을 형성하기 이전에 실행되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 14

제 1, 2, 또는 3항에 있어서,

상기 콘택트 홀은 상기 제2의 불순물 확산 영역과 상기 소자 분리 영역에 부분적으로 연장되도록 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15

반도체 기판상에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법에 있어서,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판상에 제1의 절연막을 형성하는 공정과,

전면 에치백에 의해 상기 게이트 전극의 측면상에 상기 제1의 절연막으로부터 측벽을 형성하는 공정과,

상기 게이트 전극 및 상기 측벽을 마스크로 사용하여 다른 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주면의 전면상에 제2의 절연막을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 패턴닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 상기 제2의 절연막을 에칭하고, 상기 소자 분리 영역을 덮는 상기 제2의 절연막으로 이루어지는 트렌치 분리 커버를 형성하는 공정과,

상기 반도체 기판의 주면의 전면상에 층간 절연막을 형성하는 공정과,

상기 트렌치 분리 커버가 에칭 스톱퍼로서 기능하는 조건하에서 상기 층간 절연막을 선택적으로 에칭하여 상기 층간 절연막 상면으로부터 상기 제2의 불순물 확산 영역까지 도달하는 콘택트 홀을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16

반도체 기판상에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법에 있어서,

상기 반도체 기판상의 상기 소자 분리 영역에 인접하는 활성 영역에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 마스크로 사용하여 상기 반도체 기판에 이온 주입을 행하여 LDD 영역으로 사용되는 제1의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판상에 제1의 절연막을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 패터닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 상기 제1의 절연막을 에치백하고, 상기 게이트 전극의 측면상에 측벽을 형성하는 동시에, 상기 소자 분리 영역을 덮는 상기 제1의 절연막으로부터 트렌치 분리 커버를 형성하는 공정과,

상기 게이트 전극 및 상기 측벽을 마스크로 사용하여 다른 이온 주입을 행하여 소스/드레인 영역으로 사용되는 제2의 불순물 확산 영역을 형성하는 공정과,

상기 반도체 기판의 주면의 전면에 제2의 절연막을 형성하는 공정과,

상기 반도체 기판의 주면의 전면에 층간 절연막을 형성하는 공정과,

상기 제2의 절연막을 에칭 스톱퍼로 하여 상기 층간 절연막을 선택적으로 에칭하여 상기 제2의 절연막을 노출시키고, 상기 제2의 절연막 및 상기 채널링 방지막을 선택적으로 에칭하여 상기 층간 절연막 상면으로부터 상기 제2의 불순물 확산 영역까지 도달하는 콘택트 홀을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17

제 15 또는 16항에 있어서,

상기 제1의 절연막은 상기 매입 절연막과 에칭 속도가 실질적으로 동일한 재료로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법

청구항 18

제 15항 또는 16항에 있어서,

상기 제1의 절연막 및 상기 매입 절연막은 실리콘 산화막으로 이루어지고, 상기 제2의 절연막은 실리콘 질화막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 19

제 15항 또는 16항에 있어서,

적어도 상기 소자 형성 영역에, 채널링 방지막을 형성하는 공정을 더 포함하고, 상기 채널링 방지막을 통하여 이온 주입을 행하고 상기 제2의 불순물 영역을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 20

제 15항 또는 16항에 있어서,

상기 콘택트 홀은 상기 제2의 불순물 확산 영역과 상기 소자 분리 영역에 부분적으로 연장되어 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 21

반도체 기판상에 형성된 트렌치와 상기 트렌치 내에 매입된 매입 절연막을 갖는 트렌치 분리 구조의 소자 분리 영역을 구비한 반도체 장치의 제조 방법에 있어서,

상기 반도체 기판의 주면의 전면에 절연막을 형성하는 공정과,

상기 소자 분리 영역을 피복하도록 패터닝 된 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용하여 상기 절연막의 에칭을 실행하여 상기 소자 분리 영역을 덮는 상기 절연막으로 이루어지는 트렌치 분리 커버를 형성하는 공정과,

상기 반도체 기판의 주면의 전면에 층간 절연막을 형성하는 공정과,

상기 트렌치 분리 커버가 에칭 스톱퍼로서 기능하는 조건하에서 상기 층간 절연막을 선택적으로 에칭하여 상기 층간 절연막 상면으로부터 상기 제2의 불순물 확산 영역까지 도달하는 콘택트 홀을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 22

제 21항에 있어서,

상기 매입 절연막은 실리콘 산화막으로 이루어지고, 상기 절연막은 실리콘 질화막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

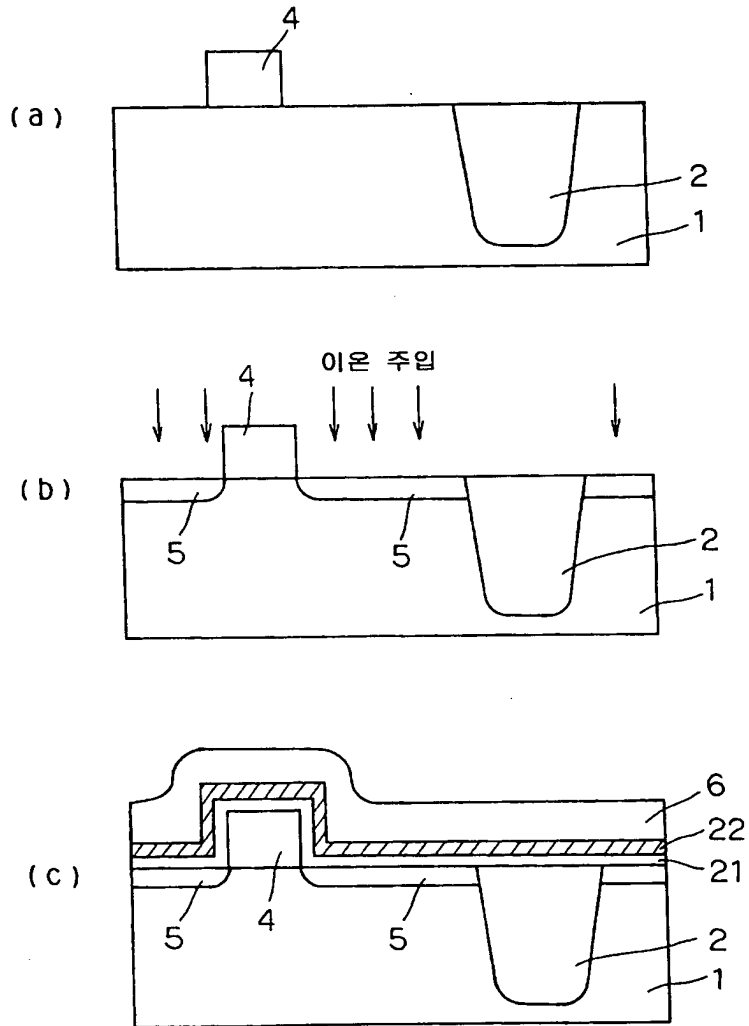
청구항 23

제 1, 2, 3, 15, 16, 또는 21항에 있어서,

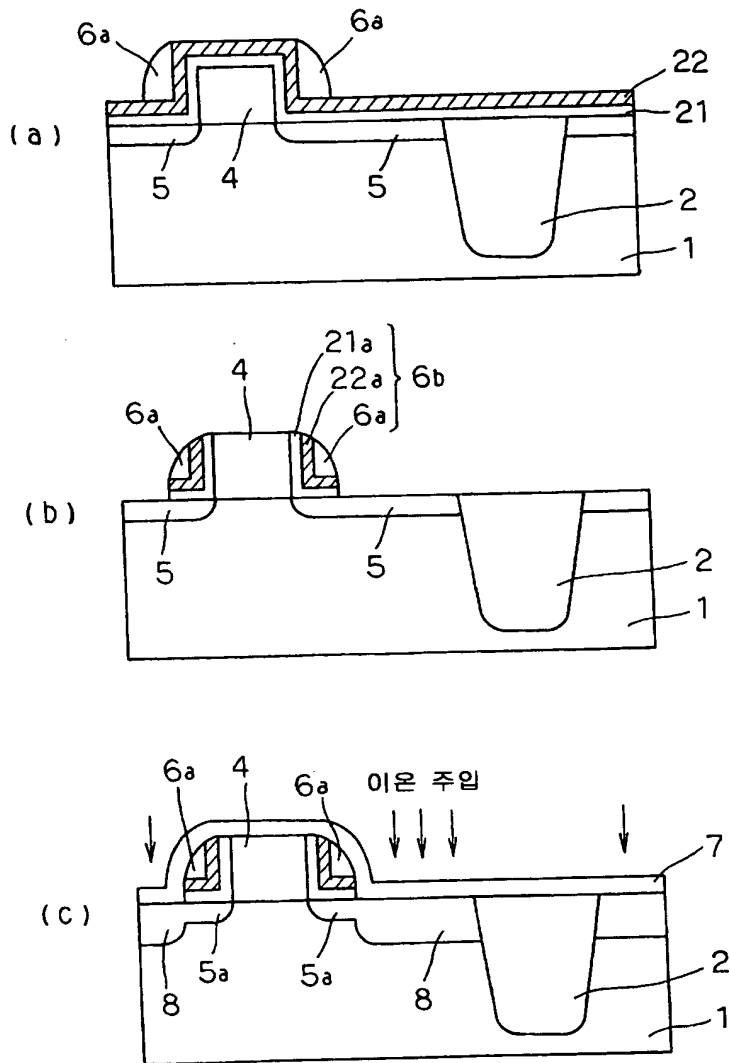
상기 층간 절연막은 상기 매입 절연막과 에칭 속도가 실질적으로 동일한 재료로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

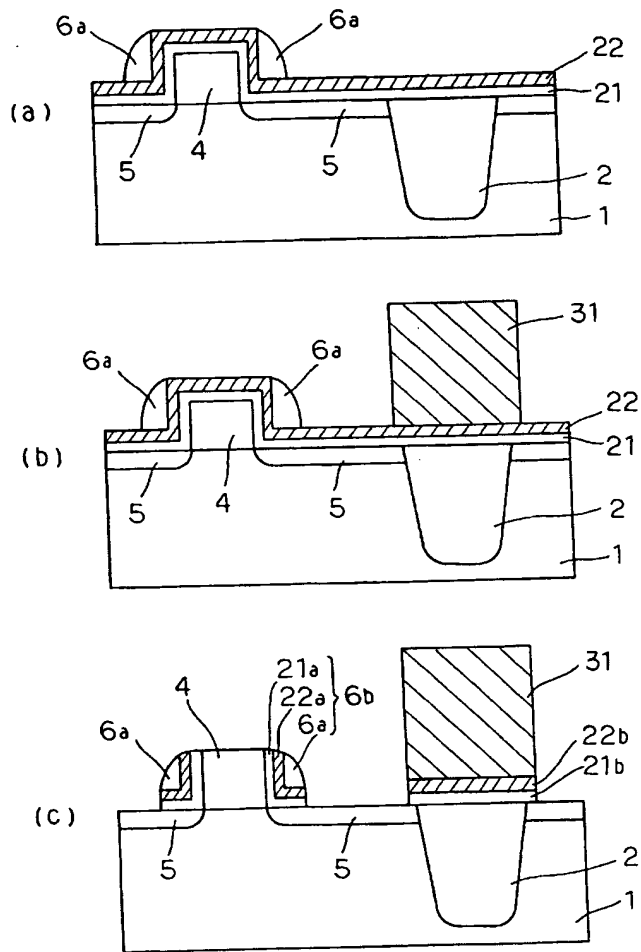
도면1



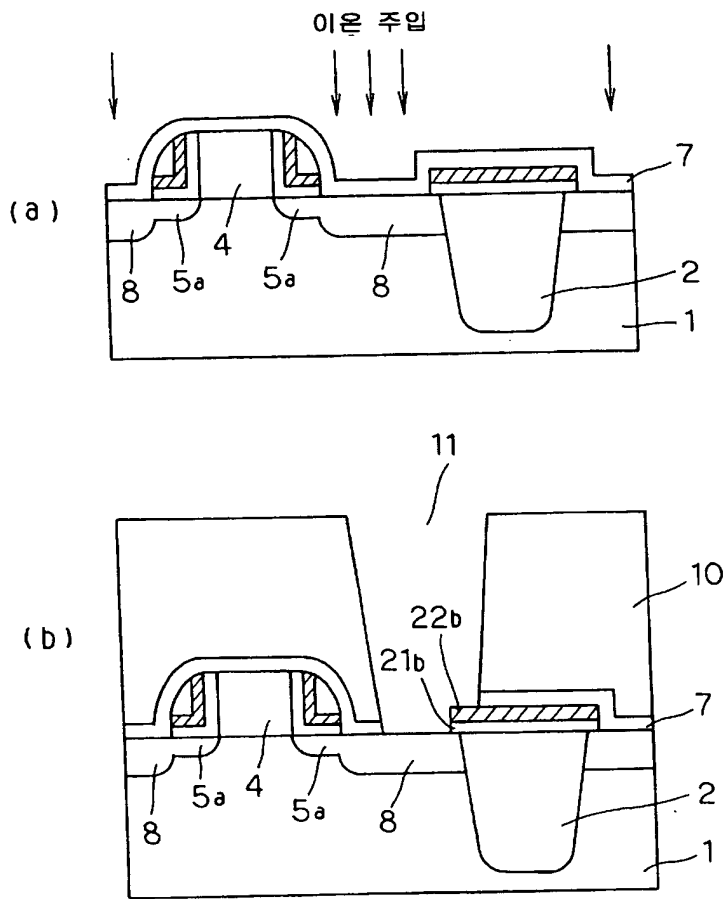
도면2



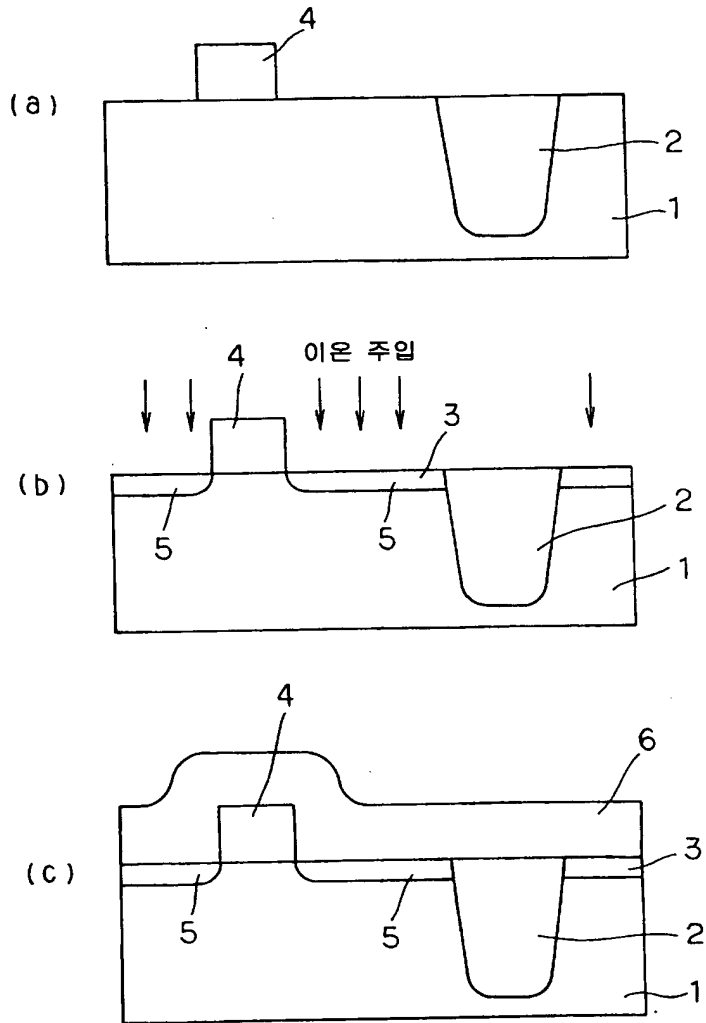
도면4



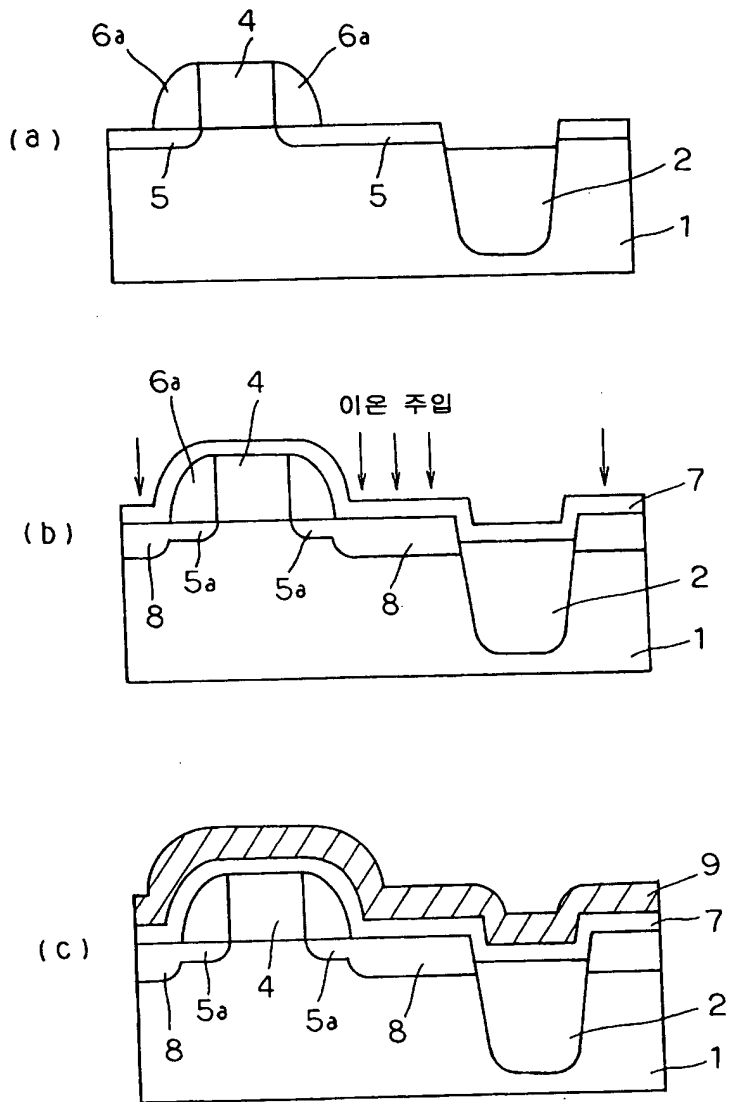
도면5



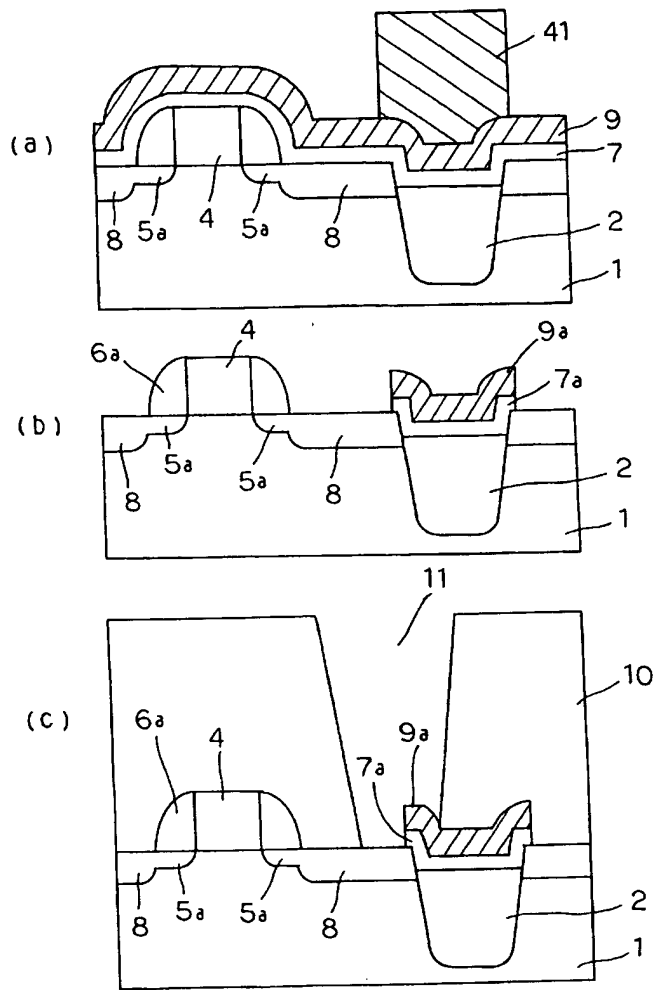
도면6



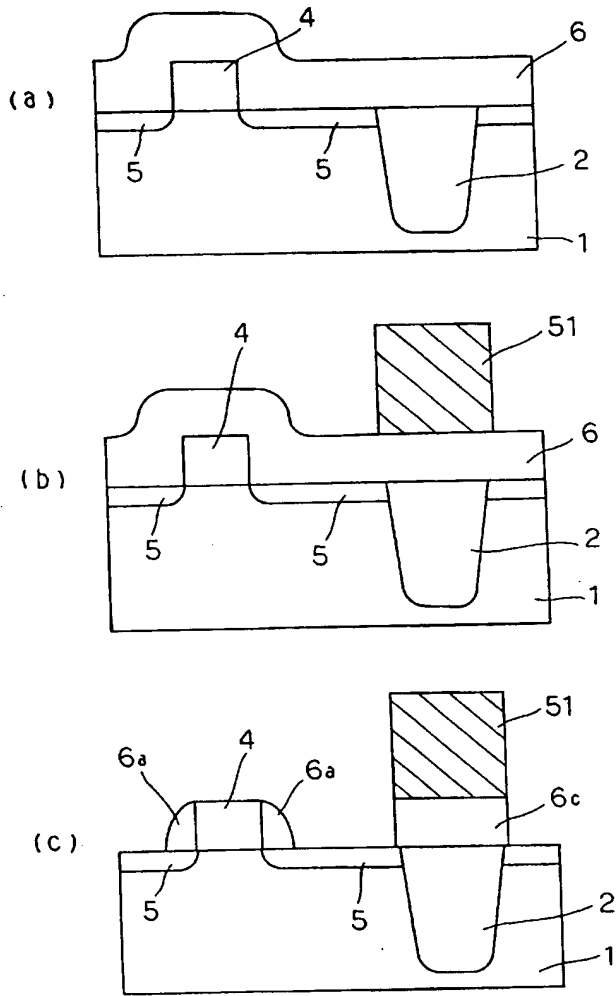
도면7



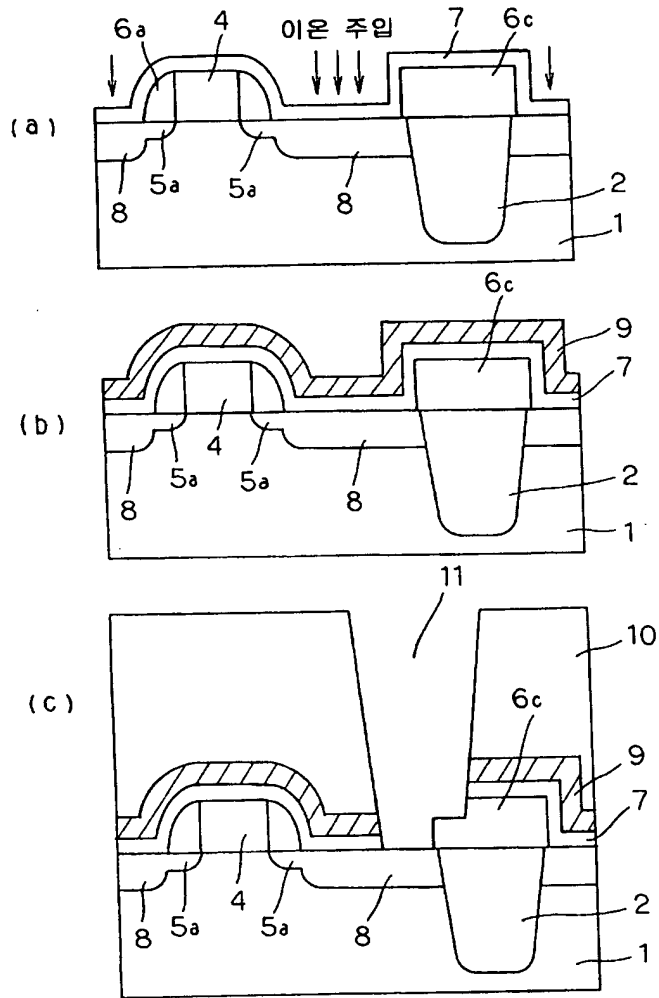
도면8



도면9

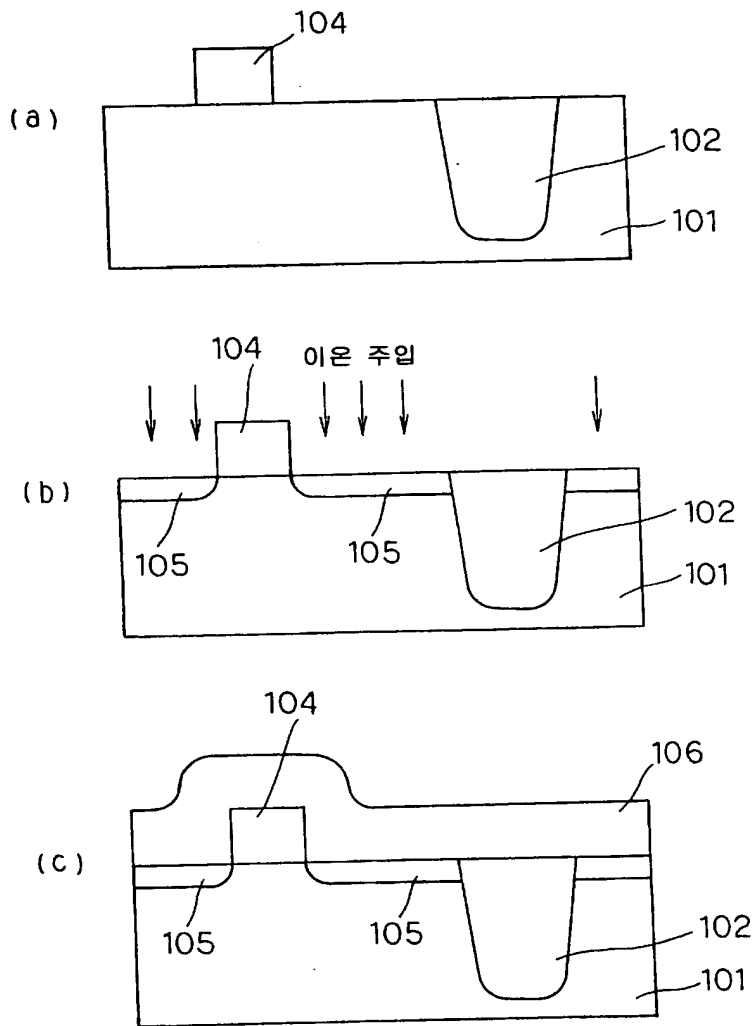


도면10



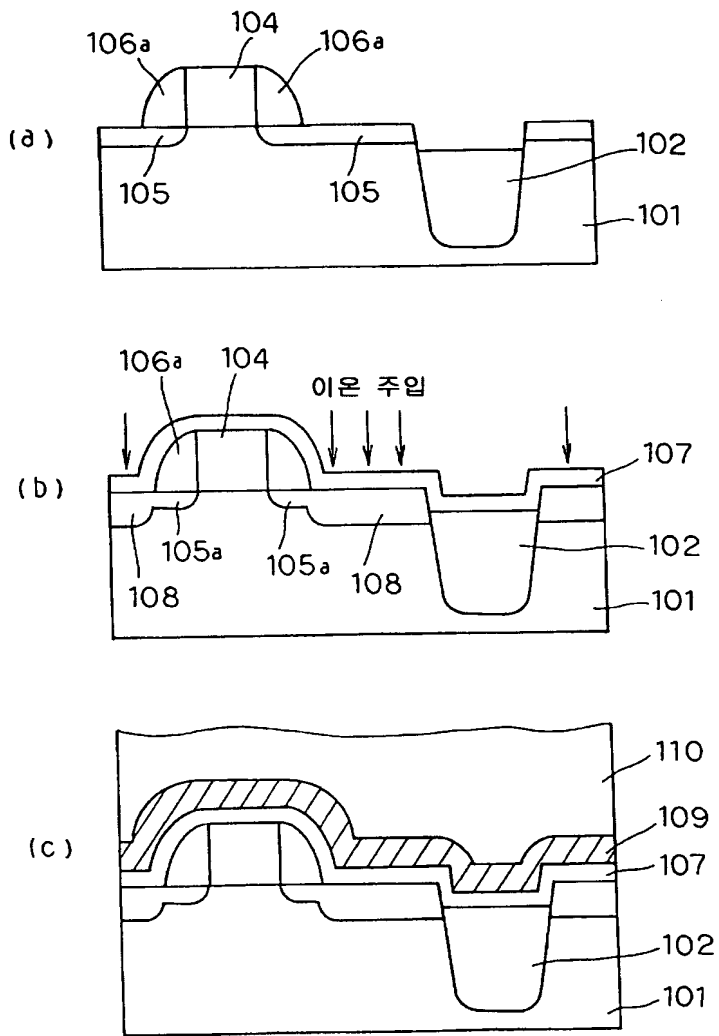
도면11

종래기술



도면 12

종래기술



도면 13

종래기술

